

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
003574731

WPI Acc No: 1983-C2924K/198307

Active matrix board with low light leakage - has driving circuit
integrated with active matrix circuit on glass board. NoAbstract

Patent Assignee: SUWA SEIKOSHA KK (SUWA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 58004180	A	19830111				198307 B

Priority Applications (No Type Date): JP 81102984 A 19810630

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 58004180	A	6		

Title Terms: ACTIVE; MATRIX; BOARD; LOW; LIGHT; LEAK; DRIVE; CIRCUIT;
INTEGRATE; ACTIVE; MATRIX; CIRCUIT; GLASS; BOARD; NOABSTRACT

Derwent Class: P81; P85; U14

International Patent Class (Additional): G02F-001/13; G09F-009/35;
H01L-027/00

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

01066780

ACTIVE MATRIX SUBSTRATE

PUB. NO.: **58-004180** [JP 58004180 A]

PUBLISHED: January 11, 1983 (19830111)

INVENTOR(s): YAMADA TAKEO

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)
, JP (Japan)

APPL. NO.: 56-102984 [JP 81102984]

FILED: June 30, 1981 (19810630)

INTL CLASS: [3] G09F-009/35; G02F-001/133; G09F-009/00; H01L-027/00

JAPIO CLASS: 44.9 (COMMUNICATION -- Other); 29.2 (PRECISION INSTRUMENTS --
Optical Equipment); 42.2 (ELECTRONICS -- Solid State
Components)

JAPIO KEYWORD:R002 (LASERS); R011 (LIQUID CRYSTALS)

Title

JP 2-61032

Published

12/18/1990

Inventor(s)

Yamada

Concise Statement

The present invention is characterized in a liquid crystal display device including a pair of glass substrates, a liquid crystal injected between the pair of substrates, and data lines and gate lines arranged in a matrix form on one of the glass substrate, a switching transistor at an intersection of each of the gate lines and data lines, and a connector arranged at a liquid crystal driving electrode to form an active matrix display portion, wherein the switching transistor of the active matrix display portion is formed of a non-single crystalline silicon film, wherein a peripheral driving circuit to supply signals to the data lines and gate lines in the periphery of the active matrix display portion, wherein a transistor in peripheral driving circuit is formed of non-single crystalline silicon, and wherein a mobility of the transistor in the peripheral driving circuit is higher than a mobility of the switching transistor in the active matrix display portion.

⑬ Int. Cl.⁵
G 09 F 9/00

識別記号

庁内整理番号
6422-5C

⑭公告 平成2年(1990)12月18日

発明の数 1 (全5頁)

⑮発明の名称 液晶表示装置

審判 平1-5382

⑯特 願 昭56-102984

⑰公 開 昭58-4180

⑱出 願 昭56(1981)6月30日

⑲昭58(1983)1月11日

⑳発 明 者 山 田 彪 夫 長野県諏訪市大和3丁目3番5号 株式会社諏訪精工舎内
㉑出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会 社

㉒代 理 人 弁理士 鈴木 喜三郎 外1名

審判の合議体 審判長 白 樫 栄一 審判官 村 井 誠 次 審判官 東 森 秀 朋

㉓参 考 文 献 特開 昭54-154992(JP, A) 特開 昭49-74438(JP, A)
特開 昭56-43679(JP, A)

1

㉔特許請求の範囲

1 一対のガラス基板内に液晶が封入されてなり、該ガラス基板にはマトリクス状に配列されたデータ線とゲート線、該データ線とゲート線の各交点にはスイッチングトランジスタおよび液晶駆動電極に接続が配置されてアクティブマトリクス表示部を形成してなる液晶表示装置において、

該アクティブマトリクス表示部の該スイッチングトランジスタは非単結晶シリコン薄膜からなり、該アクティブマトリクス表示部外周には該データ線および該ゲート線に信号を供給する周辺駆動回路が形成され、該周辺駆動回路中のトランジスタは非単結晶シリコンで構成されてなり、かつ該周辺駆動回路中のトランジスタの移動度は、該アクティブマトリクス表示部の該スイッチングトランジスタの移動度よりも高くなるごとく処理されたことを特徴とする液晶表示装置。

発明の詳細な説明

本発明はソーダガラス、ホウケイ酸ガラス、あるいは石英等の透明基板上に少なくとも多結晶シリコンあるいはアモルファスシリコンを主構成部材としてなるアクティブマトリクス基板に関するものである。

近年平板型液晶ディスプレイは腕時計、電卓、玩具を始めとして自動車、計測器、情報機器端末

2

へと応用分野が拡大されつつあり、特に最近においては半導体集積回路技術によつてSi基板上へスイッチング用トランジスタ回路をマトリクス状に形成しこのSi基板と透明ガラス板間に液晶を封入したテレビ画像表示用の液晶ディスプレイパネルが開発されている。

アクティブマトリクス方式で液晶パネルを構成した例では前記単結晶Si基板を用いたものやガラス基板上に薄膜トランジスタを形成したもの及びバリスタ基板を用いたものなどが既に報告されているが中でも大型パネル化ならびにコスト面から前記ガラス基板上に薄膜トランジスタを形成してなるアクティブマトリクス基板は将来有望な方式として考えられている。

15 従来ガラス基板上に多結晶シリコン等を堆積して形成される薄膜トランジスタは基板に対する熱制約から低温プロセスを用いざるを得ないことは周知の通りである。しかし前記薄膜トランジスタを用いてのアクティブマトリクス基板の場合アクティブマトリクス回路はともかくとして周辺駆動回路は高周波動作を要求されるため少なくとも易動度は単結晶シリコンに近いものでなくてはならない。そのため周辺駆動回路は単結晶シリコン基板上に形成しアクティブマトリクス基板にいわゆる外づけすることが一般的である。

しかし従来の前記方式では周辺駆動回路基板の製造費は勿論のことアクティブマトリクス基板への外づけ費用を含めると当然の事ながら大巾なコストアップに結がることは云うまでもない。

又基板材として石英基板のように耐熱性を有する材料を用いてアクティブマトリクス基板を形成した場合は1000℃以上の高温プロセスも可能となるため周辺駆動回路を内蔵したアクティブマトリクス基板の製造は可能となる。

しかしこゝで一つ問題となるのは光リークについてである。

本来平板液晶ディスプレイは携帯用かつ野外用としての利用価値が大きく当然の事ながら太陽光の下での使用頻度が多くなる。

アクティブマトリクスIC基板は直接太陽光が表示面を照射するためIC基板内にも光が入射する。IC基板内への入射光は電子と正孔を発生させ基板内に拡散しP-N接合部に到達するとP-N接合部に電流が流れてしまう。すなわちこの光起電力効果はトランジスタのソースドレインのP-N接合部にリーク現象を引き起こし正しい画像表示が得られなくなり画像がちらついたり消えたりする。このため前記光リーク現象を押さえるための一手段としては基板の易動度を小さくしリーク電流の低減を計ることであり、前述の如くアクティブマトリクス回路においてはそれがある程度可能であるからである。

しかしながら前記高温プロセスは石英基板上の多結晶シリコン全体を結晶化させることになり当然移導度が高くなり光リークが増加し好ましい構造とはいえない。

又、近來は周知の如くレーザー光あるいはEB（エレクトロンビーム）を用いて無定形あるいは多結晶のシリコン面に照射することにより結晶化をはかたり、あるいはイオン照射時のダメージを消去する技術が開発されてきている。

中でもレーザー加熱にはCWアルゴンレーザー、CWクリプトンレーザー、パルスYAGレーザー、CW励起YAGレーザーなど種々の方式があり出力、エネルギーあるいはスポット径をはじめとして生産性安定性にいたるまで構造上、動作上、の本質的な違いを有しており目的による選択も重要な要素となる。

このレーザー光を利用したレーザーアニール技

術を用いれば、例えばガラス基板上に周辺駆動回路を内蔵したアクティブマトリクス基板にレーザーアニールし全体に移導度を高めることは可能となる。しかしレーザーアニール効果はスポット径と照射時間によりスループットが決定されるため基板全体にレーザーアニール加工を行なうと例えば1時間当りの生産性は基板数枚程度と少量であり効率のきわめて悪い工程となってしまう。

以上述べた如く光リークに強くしかも低価格アクティブマトリクス基板を製造するに当つては従来方式における種々の欠点を改善する必要がある。

本発明は従来の欠点を除去せしめるものでありすなわちガラス等の透明基板上に多結晶シリコンあるいはアモルファスシリコンを主構成部材とするアクティブマトリクス回路を形成し、しかも同一基板上に前記アクティブマトリクス回路を包み込む形で周辺駆動回路を配置し、該周辺駆動回路領域のみをレーザーアニール加工等を行ないトランジスタの易動度を高めるというものである。すなわち前述の如く周辺駆動回路の内蔵化をはじめとし、易動度を高める1手段としてレーザーアニールを基板周辺部の駆動回路のみに照射するためスループットを向上し、しかも内部のアクティブマトリクス回路の易動度を小さくしたため光リーク防止の向上も計れるという特徴を備えたものである。

次に本発明を下記にしるす実施例にもとずいて詳細に説明する。

実施例 1

第1図は本発明によるアクティブマトリクス基板でありホウケイ酸ガラス基板1上にアクティブマトリクス回路2を中心部に周辺駆動回路3を外周部に配置したものである。

第2図a～cは本発明のアクティブマトリクス基板の製造過程を説明するための基板断面図である。先ず第2図aの如くホウケイ酸ガラス基板1上に625℃の減圧雰囲気中にて5000Åの第1の多結晶シリコン膜4を形成後該多結晶シリコン膜4をホットエッチングし部分的に開孔せしめる。次に基板上的周辺部すなわち第1図の周辺駆動回路3の領域内のみ第3図aの如くCW励起YAGレーザーを光源としたビーム径200μm、線速度50cm/Secでビームを左右の方向にスキアンさせなが

5

ら、しかも1~4の順序にてレーザーアニール加工を行なつた。次に第2図bの如くに全面にCVD-SiO₂膜5を2000Å堆積したのち前記第1の多結晶シリコン膜と同一形成方法で第2の多結晶シリコン膜6を形成したのち、多結晶シリコン膜6のソースドレイン部の開孔をホットエッチングにて行なう。

次に基板主面上に $1 \times 10^{15}/\text{cm}^2$ のリニイオンを照射し550°C1Hのフォーミングガス中にてアニールを行ない拡散層を形成する。次に第2図cの如くCVD-SiO₂膜7を形成した後コンタクトホールを開孔し引つづき電極8の形成を行ないアクティブマトリクス基板の形成を終了する。本実施例にもちいたアクティブマトリクス回路のゲート及びデータ線のライン数は各々200本であり本基板を用いてデーター線は約1MHz、又ゲート線も25KHzでの動作が確認され液晶表示ディスプレイとして十分な性能を有することが確認されている。又レーザーアニール加工の効果としてアニールのスループットは従来に較べて数倍以上の向上をみせておりさらに易動度はアクティブマトリクス回路中では約 $10\text{cm}/\text{V-sec}$ であり周辺駆動回路部では約 $100\text{cm}/\text{V-sec}$ が得られている。

実施例 2

実施例1と同様に第1の多結晶シリコン膜を形成後ホットエッチングにて部分的な開孔を行なつた後第3図bの如く実施例1と同一条件にて周辺駆動回路の1と3の領域をレーザーアニール加工したのち周辺駆動回路の2と4を1及び3に較べて低出力の約 $1\text{J}/\text{cm}^2$ のエネルギー密度で照射した。すなわち周辺駆動回路の2と4の領域はゲート線駆動用であり1及び3のデーター線用に較べて低周波動作が可能のため周辺駆動回路全体を同一エネルギー密度で照射する必要はなく本実施例の結果でもゲート線を動作させるために十分な易動度を得ることが確認されしかも基板外周部の2辺は低エネルギー密度照射のためスループットは実施例1に較べてさらに向上している。

実施例 3

実施例1と同様に第1の多結晶シリコン膜を形成後ホットエッチングにて部分的な開孔を行なつた後第3図cの如く実施例1と同一条件にて周辺駆動回路の1と3領域すなわちデーター線駆動回路領域のみをレーザーアニールする。

6

すなわち実施例2にて説明の如く特にゲート線のライン数の少ないアクティブマトリクス基板については本方式でも充分対応が取れスループットの大巾な向上がのぞめる。

5 実施例 4

実施例1と同様に第1の多結晶シリコン膜を形成後ホットエッチングにて部分的な開孔を行なつた後第3図dの如く基板の周辺駆動回路領域へのレーザーアニール照射を先ず1の領域にビームを矢印の如く左右にスキヤンさせて行ない、つづいて基板を中心に対して90°回転し2の領域を1と同一方式にて照射しつづけて同じ方式にて基板を回転させて3、4の領域を照射する。この方式では実施例1に較べビームのスキヤン数が大巾に減少出来るため実施例1に較べてスループットが向上出来る利点を有する。

以上実施例1~4にて説明した如く、本発明は平板液晶ディスプレイ等に用いられるアクティブマトリクス基板において、ガラス基板上にアクティブマトリクス回路と周辺駆動回路をワンチップ化すると同時にレーザーアニール技術を利用し駆動回路のみにレーザーアニール照射を行ないアクティブマトリクス回路に耐光リーク対策をほどこしたものであり、低コストでしかも光リークに強いアクティブマトリクス基板の提供を可能にしたものである。

上述の如く本発明は、ガラス基板上のアクティブマトリクス表示部外周にはデータ線及びゲート線に信号を供給する周辺駆動回路が形成され、該周辺駆動回路中の能動素子は非単結晶シリコン薄膜トランジスタで構成されてなるようにしたから以下の如き効果を有する。

(イ) 表示部領域に形成された薄膜トランジスタは、静電気に極めて弱い。一般に、シリコン単結晶基板に形成されたトランジスタの場合にあつては、例え静電気が発生したとしても、基板内に吸収されてしまうため、静電気によるトランジスタの破壊は生じない。しかしながら、ガラス基板に設けたトランジスタにあつては、ガラス基板が絶縁基板であるために、極めて容易に静電気により破壊されてしまう。静電気は、液晶表示部を形成する際のラビングにより発生し易い。そこで本願発明にあつては、表示部をラビングすることによつて生じた易動度があつ

たとしても、外部周辺回路に各々のトランジスタが直結されているため、この静電気は、外部周辺回路に吸収されてしまう。従って画素欠陥を生ずることを最小とすることができる。

- (四) 従来のシリコン単結晶基板上に画像表示部のトランジスタと周辺駆動回路部のトランジスタを形成する場合、同一基板内で各部のトランジスタの移動度を異ならせることは不可能である。しかしながら、周辺駆動回路部は画像のサンプリングをしなくてはならないためにナノセカンドのオーダで高速駆動をする必要がある為、移動度を高めなければならない。しかしながら、画像表示部のトランジスタには、外部光が直接照射されるため、この照射光によるトランジスタの誤動作を回避するにはむしろ移動度を下げなくてはならない。この両者の条件を同時に満足するには、本願の如き構成に基づくTFT構造でなくてはならない。

- (イ) 本願構成にあつては、基板が絶縁性のガラスであるから、周辺回路において従来のシリコン基板に比べ浮遊容量がなく、従つて、高周波応答が可能な周辺駆動回路を作り込むことができる。さらに、周辺回路のみをアクティブマトリ

クス部から分離した島で同一基板上に形成することができるから、従来のシリコン基板の如くストッパ領域を形成する必要がなく、シリコン基板よりもプロセスが短く量産性に適している。

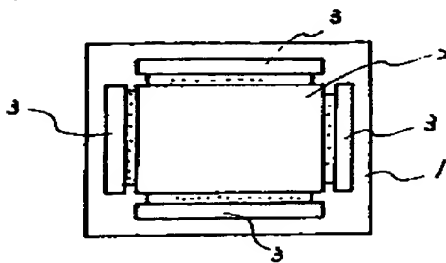
- (ロ) 周辺回路をCMOSで形成しようとした場合、従来のシリコン基板の場合、例えばN基板中にPウェルを形成しなくてはならず、デバイス構成が複雑にならざるを得ないが、本発明の場合にあつては、個別の島で形成するだけでよいからデバイスの構成が極めて簡略化することができる。

図面の簡単な説明

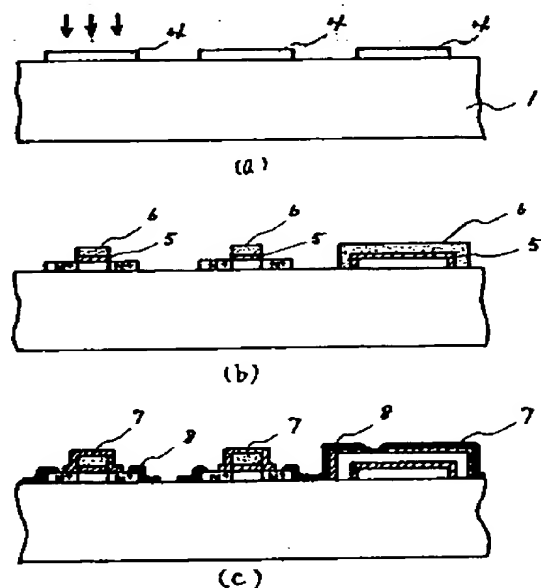
第1図は本発明によるアクティブマトリクス基板における回路配置図、第2図a～cは本発明におけるアクティブマトリクス基板の製造過程を示す基板断面図、第3図a～dは本発明におけるアクティブマトリクス基板の周辺駆動回路領域へのレーザーアニール照射方法を示す平面図。

1……ガラス基板、2……アクティブマトリクス回路、3……周辺駆動回路、4……多結晶シリコン膜、5……CVD-SiO₂膜、6……多結晶シリコン膜、7……CVD-SiO₂膜、8……電極。

第1図



第2図



第 3 图

